

(11)特許出願公開番号

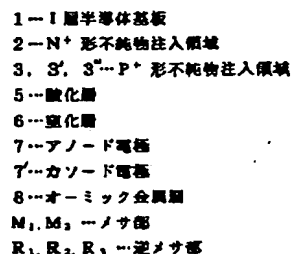
(43)公開日 平成6年(1994)12月22日

技術表示箇所

C

審査請求 有 請求項の数5 FD (全 4 頁)

(74)代理人 弁理士 五十嵐 省三



1

【特許請求の範囲】

【請求項1】 アノード用及びカソード用の2つの凹部 (R_1 、 R_2) を表面に設けた真性半導体基板 (1) と、

該各凹部の真性半導体基板内に設けられた互いに反対導電形の不純物注入アノード及びカソード領域 (3、2) とを具備するPIN構造半導体装置。

【請求項2】 さらに、前記真性半導体基板の裏面に設けられた一導電形の不純物注入領域 (3') を具備する請求項1に記載のPIN構造半導体装置。

【請求項3】 前記真性半導体基板の裏面に設けられた不純物注入領域をもアノード領域もしくはカソード領域とした請求項2に記載のPIN構造半導体装置。

【請求項4】 アノード用もしくはカソード用の凹部 (R_2) を設けた真性半導体基板 (1) と、
該凹部の真性半導体基板内に設けられた一導電形の不純物注入アノードもしくはカソード領域 (2) と、
前記真性半導体基板の裏面に設けられた前記導電形の反対導電形の不純物注入カソードもしくはアノード領域 (3') とを具備するPIN構造半導体装置。

【請求項5】 前記真性半導体基板に前記凹部より浅い凹部 (R_1 、 R_2) を設け、該浅い凹部の真性半導体基板内に設けられた前記反対導電形の不純物注入領域 (3、3') を具備する請求項4に記載のPIN構造半導体装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明はPIN構造半導体装置に関する。

【0002】

【従来の技術】 縦形PIN構造においては、高比抵抗のP形もしくはN形の半導体基板つまりI層半導体基板の上下にP'形不純物注入領域及びN'形不純物濃度注入を形成している。このような縦形PIN構造においては動作特性をI層半導体基板の厚さにより制御する。この結果、たとえばI層半導体基板の厚さを100~200 μm と薄くしなければならず、従って、拡散工程中におけるウエハ割れを招き、歩留りの低下つまり製造コストの上昇を招く。

【0003】 上述のウエハ割れを防止する横形PIN構造を図3を参照して説明する。高比抵抗たとえば $1\text{K}\Omega \cdot \text{cm} \sim 8\text{K}\Omega \cdot \text{cm}$ のP⁺⁺形もしくはN⁺⁺形半導体基板つまり真性 (I層) 半導体基板1の表面にN'形不純物注入領域2及びP'形不純物注入領域3、3' が形成されている。なお、N'形不純物注入領域2は該当部分のみ開口された酸化層 (SiO_2) をマスクとして不純物を注入拡散して形成され、その際、真性半導体基板1の裏面はN'形不純物が注入されないようにレジスト層で覆われている。また、P'形不純物注入領域3、3' は該当部分のみ開口された酸化層 (SiO_2) をマスクとし

2

て不純物を注入拡散して形成され、このとき、同時に、真性半導体基板1の裏面にもP'形不純物注入領域3'' が形成される。上記酸化層は図3において参照番号4として残存せしめられる。さらに、CVD法による酸化層5及び低圧CVD法で形成された窒化層 (Si_3N_4) 6に開口された箇所アノード電極7及びカソード電極7' を設け、真性半導体基板1の裏面にはオーミック金属層 (たとえば、Ti-Ag) 8を設ける。なお、横形PIN構造においても、真性半導体基板1の裏面にP'形不純物注入領域3'' を設けたのはリーク電流防止である。

【0004】

【発明が解決しようとする課題】 しかしながら、図3に示す従来の横形PIN構造においては、アノード・カソード間における電流パスが酸化層と真性半導体基板との界面にも存在する。この真性半導体基板界面は各熱処理工程での半導体結晶 (たとえば、シリコン単結晶) の損失が大きく、従って、この界面近傍のキャリアのライフタイムが短くなり、この結果、PIN構造の動作抵抗 (いわゆるRd特性) が大きくなるという課題がある。なお、ここで、Rd (Diode Resistance) 特性とは、PIN構造 (ダイオード) の順方向に電流 I_f を流したときのPIN構造の抵抗Rdの特性 (曲線) を意味し、通常、PINダイオードは、電流 I_f が小さいときには抵抗Rdは大きく、電流 I_f が大きいときには抵抗Rdは小さく設計されている。

【0005】 従って、本発明の目的は、動作抵抗が小さい横形PIN構造半導体装置を提供することにある。他の目的は、ウエハ割れにくい縦形PIN構造半導体装置を提供することにある。

【0006】

【課題を解決するための手段】 上述の課題を解決するために本発明は、真性半導体基板表面にアノード用及び/またはカソード用の凹部を設け、この凹部に不純物を注入しているアノード及び/またはカソード領域とする。つまり、横形PIN構造であれば、真性半導体基板の表面に少なくとも2つの凹部を設ける。また、縦形PIN構造であれば、真性半導体基板の表面に少なくとも1つの凹部を設け、真性半導体基板の裏面にカソードまたはアノード用の不純物注入領域を設ける。

【作用】 上述の手段によれば、横形PIN構造においては電流パスが真性半導体基板界面に形成されない。また、縦形PIN構造においては、凹部以外の真性半導体基板の厚みは十分大きくなる。

【0007】

【実施例】 図1は本発明の第1の実施例としての横形PIN構造半導体装置を示す断面図である。図1において、高比抵抗のP⁺⁺もしくはN⁺⁺形半導体基板つまり真性半導体基板1にはメサ部 M_1 、 M_2 を形成してあり、メサ部 M_1 、 M_2 によって形成された逆メサ部 R_1 、 R_2

、 R_3 の真性半導体基板1内に N^+ 形不純物注入領域2、 P^+ 形不純物注入領域3、3'が形成されている。他の構成要素は図3の構成要素と同一である。

【0008】次に、図1の横形PIN構造半導体装置の製造方法について説明する。まず、真性半導体基板1を準備し、この両面を熱酸化して酸化層(SiO_2) (図示せず)を形成し、真性半導体基板1の表面側にフォトリソグラフィ技術を用いてメサ部 M_1 、 M_2 に対応するパターンでこの酸化層をパターニングする。このパターニングの際には、真性半導体基板1の裏面側の酸化層が除去されないようにレジスト層を塗布しておき、パターニング後そのレジスト層を除去する。この状態でウェットエッチングにより真性半導体基板1をエッチングして図1に示すメサ部 M_1 、 M_2 及び逆メサ部 R_1 、 R_2 、 R_3 を形成する。たとえば、このときのメサ部 M_1 、 M_2 の厚さ(逆メサ部 R_1 、 R_2 、 R_3 の深さ)は12 μm 程度である。次に、熱酸化して全面に5000~8000Å程度の酸化層(SiO_2)を形成し、逆メサ部 R_1 に対応する部分を開口し、この開口を介して N 形不純物(PあるいはAs)を注入拡散して N^+ 形不純物注入領域2を形成し、その後、上記酸化層を除去する。また、再び熱酸化して全面に4000~6000Å程度の酸化層(SiO_2)を形成し、逆メサ部 R_1 、 R_2 に対応する部分を開口し、これらの開口を介して P 形不純物(B)を注入拡散して P^+ 形不純物注入領域3、3''を形成し、その後、上記酸化層を除去する。なお、この形不純物の注入拡散の際には、真性半導体基板1の裏面側にも同時に P^+ 形不純物注入領域3''を形成する。

【0009】次に、酸化層をパターニングして図1の酸化層5として残存せしめ、さらに、低圧CVD法による1000~3000Å厚さ窒化層(Si_3N_4)を形成し、図1に示すごとく、パターニングする。つまり、逆メサ部 R_1 、 R_2 の不純物注入領域2、3を開口する。この開口部にアルミニウム層よりなるアノード電極7及びカソード電極7'を形成する。図1に示すごとく形成された横形PIN構造においては、アノード・カソード間の電流パスに真性半導体基板1の界面は存在せず、従って、動作抵抗を小さくできる。なお、図1においては、アノード電極7に加えてオーミック金属層8もアノード電極として作用せしめることもできる。

【0010】図2は本発明の第2の実施例としての縦形PIN構造半導体装置を示す断面図である。図2においては、図1の不純物注入領域3にアノード電極を設けず、オーミック金属層8をアノード電極として作用せし

めた。縦形PIN構造においては、上述のごとく、1層つまり真性半導体基板1の厚さを薄くしなければならないが、図2においては、メサ部 M_1 、 M_2 が真性半導体基板1の厚さを実質的に大きくしており、これにより、拡散工程におけるウエハ割れを防止できる。また、図2においては、逆メサ部 R_1 、 R_2 における深さは図1の場合に比較して浅くしており、これにより、拡散工程におけるウエハ割れをさらに防止できる。図2の縦形PIN構造半導体装置の製造方法は図1の横形PIN構造半導体装置の製造方法とほぼ同一であるが、逆メサ部 R_1 、 R_2 と逆メサ部 R_3 とでその深さが異なるので、上述のメサ部製造工程を2回行っている点が異なる。

【0011】なお、上述の実施例においては、メサ部及び逆メサ部を真性半導体基板表面に形成しているが、他の形状を形成してもよい。要するに、真性半導体基板表面にメサ部等の凸状形状及び逆メサ部等の凹状形状を形成すればよい。また、不純物については、上述の実施例において、適宜 P 形を N 形に、 N 形を P 形にしてアノード・カソードを交換し得る。また、上述の実施例において、アノード電極、カソード電極のいずれにも接続されていない不純物注入領域はリーク電流を防止する役目をなす。

【発明の効果】以上説明したように本発明によれば、真性半導体基板に凹部を設けているので、横形PIN構造においては動作抵抗を小さくでき、また、縦形PIN構造においてはウエハ割れを防止できる。

【図面の簡単な説明】

【図1】本発明の第1の実施例としての横形PIN構造半導体装置を示す断面図である。

【図2】本発明の第2の実施例としての縦形PIN構造半導体装置を示す断面図である。

【図3】従来の横形PIN構造半導体装置を示す断面図である。

【符号の説明】

1—I層半導体基板

2— N^+ 形不純物注入領域

3、3'、3''— P^+ 形不純物注入領域

4、5—酸化層

6—窒化層

7—アノード電極

7'—カソード電極

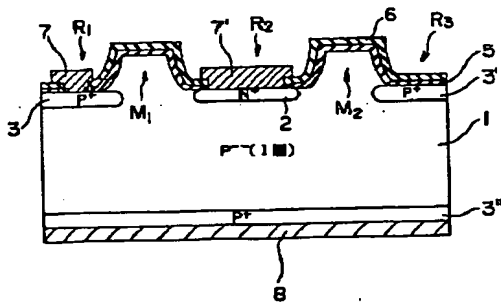
8—オーミック金属層

M_1 、 M_2 —メサ部

R_1 、 R_2 、 R_3 —逆メサ部

【図1】

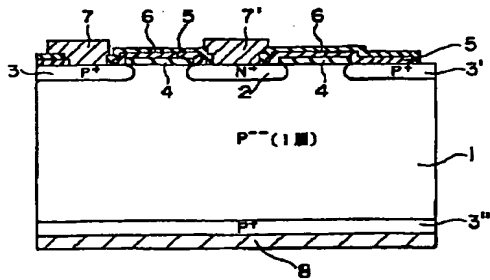
本発明の第1の実施例



- 1—1層半導体基板
 2—N⁺形不純物注入領域
 3, 3', 3''—P⁺形不純物注入領域
 5—酸化膜
 6—酸化膜
 7—アノード電極
 7'—カソード電極
 8—オーミック金属層
 M₁, M₂—メサ部
 R₁, R₂, R₃—逆メサ部

【図3】

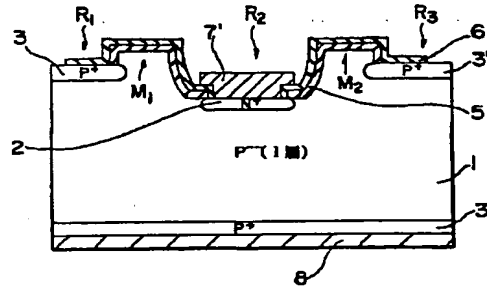
従来の横形PIN構造



- 1—1層半導体基板
 2—N⁺形不純物注入領域
 3, 3', 3''—P⁺形不純物注入領域
 4, 5—酸化膜
 6—酸化膜
 7—アノード電極
 7'—カソード電極
 8—オーミック金属層

【図2】

本発明の第2の実施例



- 1—1層半導体基板
 2—N⁺形不純物注入領域
 3, 3', 3''—P⁺形不純物注入領域
 5—酸化膜
 6—酸化膜
 7—カソード電極
 8—オーミック金属層 (アノード電極)
 M₁, M₂—メサ部
 R₁, R₂, R₃—逆メサ部